

(43) 公開日 平成16年1月8日(2004. 1. 8)

(51) Int.Cl.⁷

G 1 1 B 7/007
G 1 1 B 7/004
G 1 1 B 7/0045
G 1 1 B 20/10
G 1 1 B 20/14

F' 1

G 1 1 B	7/007	
G 1 1 B	7/004	Z
G 1 1 B	7/0045	A
G 1 1 B	20/10	H
G 1 1 B	20/14	3 4 1 A

テーマコード (参考)

5 D 0 4 4
5 D 0 9 0

審査請求 未請求 請求項の数 10 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2003-104686 (P2003-104686)
 (22) 出願日 平成15年4月8日 (2003.4.8)
 (31) 優先権主張番号 特願2002-106170 (P2002-106170)
 (32) 優先日 平成14年4月9日 (2002.4.9)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(74) 代理人 100078282
弁理士 山本 秀策

(74) 代理人 100062409
弁理士 安村 高明

(74) 代理人 100107489
弁理士 大塩 竹志

(72) 発明者 弓場 隆司
大阪府門真市大字門真1006番地 松下
電器産業株式会社内

(72) 発明者 山岡 勝
大阪府門真市大字門真1006番地 松下
電器産業株式会社内

最終頁に続く

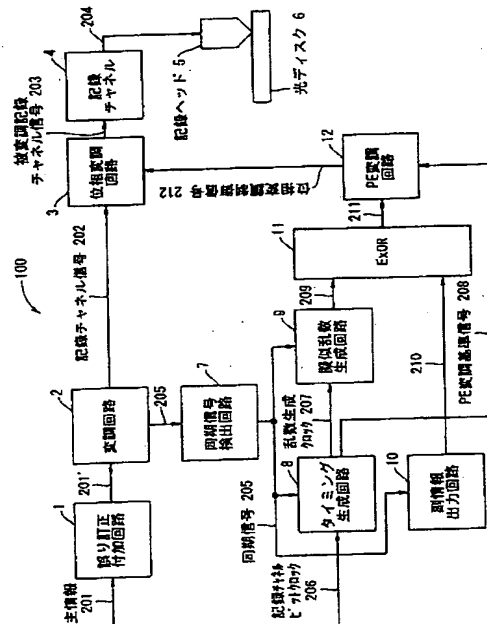
(54) 【発明の名称】 情報記録媒体、記録装置、再生装置

(57) 【要約】

【課題】光ディスクに記録されたデジタル著作物が、他の光ディスクに不正にコピーされることを防止し、且つ、安定した情報再生を実現する。

【解決手段】主情報を記録マークとして記録し、記録マークのエッジ位置をトラック方向に微少量変位させて副情報を記録する際に、記録マークを形成するための記録クロックの基準周波数の $1/2$ より低い周波数で、且つこの主情報を再生する際に再生チャネルクロックを生成するためのPLLの応答周波数以上の周波数に基づいて、記録マークのエッジ位置を位相進み方向へ変位させるか位相遅れ方向へ変位させるかを決定する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

主情報と副情報とを記録するための情報記録媒体であって、
前記情報記録媒体はトラックを有し、
前記情報記録媒体には、前記主情報を示すピットおよび前記主情報を示す記録マークのうちの一方をトラック方向に沿って前記情報記録媒体に形成することにより前記主情報が記録され、
前記情報記録媒体には、前記ピットおよび前記記録マークのうちの一方のエッジ位置を、前記トラック方向に沿った位相進み方向および位相遅れ方向のうちの一方へ変位させることにより前記副情報が記録され、
前記副情報を記録するために前記エッジ位置を前記位相進み方向へ変位させるか前記位相遅れ方向へ変位させるかは、所定の周波数に基づいて決定されており、
前記所定の周波数は、前記ピットおよび前記記録マークのうちの一方を形成するための記録クロックの基準周波数の $1/2$ よりも実質的に常に低く、前記主情報を再生するための再生クロックを生成するための PLL の応答周波数よりも高い、情報記録媒体。

10

【請求項 2】

前記所定の周波数は、所定の二進数系列と前記副情報との論理演算の結果に基づいて決定されており、
前記所定の二進数系列の周波数は、前記記録クロックの基準周波数の $1/2$ よりも低く、前記 PLL の応答周波数よりも高い、請求項 1 に記載の情報記録媒体。

20

【請求項 3】

前記所定の二進数系列は複数の要素を含む擬似乱数系列であり、
前記所定の周波数は、前記複数の要素それぞれの中央で論理反転している PE 変調信号と前記論理演算の結果とのさらなる論理演算の結果に基づいて決定されており、
前記 PE 変調信号の周波数は、前記記録クロックの基準周波数の $1/2$ よりも低く、前記 PLL の応答周波数よりも高い、請求項 2 に記載の情報記録媒体。

【請求項 4】

トラックを有する情報記録媒体に主情報と副情報とを記録する記録装置であって、
記録クロックと同期した前記主情報を示す記録信号を生成する記録信号生成部と、
前記記録信号のエッジ位置を前記記録信号の位相進み方向および前記記録信号の位相遅れ方向のうちの一方へ変調させることにより、前記主情報および前記副情報を示す位相変調記録信号を生成する位相変調部と、
前記位相変調記録信号に基づいて、前記主情報を示すピットおよび前記主情報を示す記録マークのうちの一方のエッジ位置がトラック方向に沿った位相進み方向および位相遅れ方向のうちの一方へ変位するように、前記ピットおよび前記記録マークのうちの一方を前記トラック方向に沿って前記情報記録媒体に形成することにより、前記主情報と前記副情報とを前記情報記録媒体に記録する記録部と
を備え、

30

前記位相変調部は、前記記録信号のエッジ位置を前記記録信号の位相進み方向へ変調させるか前記記録信号の位相遅れ方向へ変調させるかを、所定の周波数に基づいて決定し、
前記所定の周波数は、前記記録クロックの基準周波数の $1/2$ よりも実質的に常に低く、前記主情報を再生するための再生クロックを生成するための PLL の応答周波数よりも高い、記録装置。

40

【請求項 5】

所定の二進数系列を生成する二進数系列生成部と、
前記副情報を出力する副情報出力部と、
前記所定の二進数系列と前記副情報との論理演算を行い、前記論理演算の結果に基づいて前記所定の周波数を示す制御信号を生成する論理演算部と
をさらに備え、
前記位相変調部は、前記記録信号のエッジ位置を前記記録信号の位相進み方向へ変調させ

50

るか前記記録信号の位相遅れ方向へ変調させるかを、前記制御信号が示す前記所定の周波数に基づいて決定し、

前記所定の二進数系列の周波数は、前記記録クロックの基準周波数の $1/2$ よりも低く、前記 PLL の応答周波数よりも高い、請求項 4 に記載の記録装置。

【請求項 6】

前記所定の二進数系列は複数の要素を含む擬似乱数系列であり、

前記記録装置は、前記複数の要素それぞれの中央で論理反転している PE 変調信号を生成する PE 変調信号生成部をさらに備え、

前記論理演算部は、前記 PE 変調信号と前記論理演算の結果とのさらなる論理演算を行い、前記さらなる論理演算の結果に基づいて前記制御信号を生成し、

前記 PE 変調信号の周波数は、前記記録クロックの基準周波数の $1/2$ よりも低く、前記 PLL の応答周波数よりも高い、請求項 5 に記載の記録装置。

10

【請求項 7】

情報記録媒体に記録された主情報と副情報とを再生する再生装置であって、

前記情報記録媒体はトラックを有し、

前記情報記録媒体には、前記主情報を示すピットおよび前記主情報を示す記録マークのうちの一方をトラック方向に沿って前記情報記録媒体に形成することにより前記主情報が記録されており、

前記情報記録媒体には、前記ピットおよび前記記録マークのうちの一方のエッジ位置を、前記トラック方向に沿った位相進み方向および位相遅れ方向のうちの一方へ変位させることにより前記副情報が記録されており、

20

前記再生装置は、

前記ピットおよび前記記録マークのうちの一方を読み出し、読み出し信号を生成する読み出し部と、

前記読み出し信号に同期した再生クロックを生成する PLL と、

前記読み出し信号の位相と前記再生クロックの位相とを比較し、前記読み出し信号の位相が前記再生クロックの位相よりも進んでいる場合には前記読み出し信号の位相が進んでいることを示す進相信号を生成し、前記読み出し信号の位相が前記再生クロックの位相よりも遅れている場合には前記読み出し信号の位相が遅れていることを示す遅相信号を生成する位相比較部と、

30

所定の周波数に基づいて前記進相信号と前記遅相信号とを積算して、前記積算した結果に基づいて前記副情報を検出する副情報検出部と、

前記読み出し信号を復調することにより前記主情報を検出する復調部とを備え、

前記所定の周波数は、前記ピットおよび前記記録マークのうちの一方を形成するための記録クロックの基準周波数の $1/2$ よりも実質的に常に低く、前記 PLL の応答周波数よりも高い、再生装置。

【請求項 8】

前記副情報検出部は、前記積算した結果と、所定の正のしきい値および所定の負のしきい値とを比較することにより前記副情報の値を検出する、請求項 7 に記載の再生装置。

40

【請求項 9】

前記副情報検出部は、前記積算した結果と、所定の正のしきい値および所定の負のしきい値とを比較することにより前記副情報の有無を検出する、請求項 7 に記載の再生装置。

【請求項 10】

複数の要素を含む擬似乱数系列を生成する擬似乱数系列生成部と、

前記複数の要素それぞれの中央で論理反転している PE 変調信号を生成する PE 変調信号生成部と、

前記擬似乱数系列と前記 PE 変調信号との論理演算を行い、前記論理演算の結果に基づいて前記所定の周波数を示す制御信号を生成する論理演算部と

をさらに備え、

50

前記副情報検出部は、前記制御信号が示す前記所定の周波数に基づいて前記進相信号と前記遅相信号とを積算し、

前記擬似乱数系列の周波数および前記P E変調信号の周波数は、前記記録クロックの基準周波数の1/2よりも低く、前記P L Lの応答周波数よりも高い、請求項7に記載の再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、情報記録媒体、その情報記録媒体に情報を記録する記録装置および情報記録媒体から情報を再生する再生装置に関し、特に、副情報を主情報に含めて記録する技術に関する。 10

【0002】

【従来の技術】

DVD (Digital Versatile Video Disc) に代表される光ディスクは、AV (Audio Video) データやコンピュータデータ等の大容量のデジタルデータを記録する媒体として広く普及している。例えば、2時間以上の高品質な動画が再生専用光ディスクに記録され、販売されている。このようなデジタル著作物が不正に他の記録媒体にコピーされることを防止するため、コンテンツ暗号と呼ばれる方式が導入されている (非特許文献1 参照)。

【0003】

この方式は、映画等の圧縮されたデジタルコンテンツを3階層の秘密鍵 (タイトル鍵、ディスク鍵、マスター鍵) を用いて暗号化し、ユーザがアクセス可能なユーザ情報領域に記録しておくものである。そして、秘密鍵の中で最も重要なマスター鍵についてはライセンスを受けた正規のメーカーにだけ通知し、DVD 毎およびタイトル毎に必要とされるディスク鍵およびタイトル鍵は、マスター鍵に基づいて暗号化し、ユーザがアクセスできない制御情報領域に格納しておくものである。これにより、ユーザは復号に必要な秘密鍵へのアクセスが制限されるため、ファイルコピー等による不正コピーはできない。しかしながら、このような技術では、秘密鍵を記録した制御情報領域も含めた全記録領域の内容がそのまま他の光ディスクに不正にコピーされてしまった場合には、正規の再生装置によって暗号化コンテンツが復号され、再生されてしまう。 20 30

【0004】

そこで、所定の基本周期の整数倍の周期で変化する再生信号が得られるように、トラック上に形成されるピットまたは記録マークの長さまたは間隔を変化させることにより通常の主情報が記録され、他方、これらのピットまたはマークの前縁または後縁の位置を通常の情報によって決定される位置から微量移動させることにより、光情報記録媒体の識別のための識別符号等の情報を記録する方法が提案されている (特許文献1 参照)。

【0005】

図7を用いて、本従来例について説明する。図7は従来の光情報記録装置501を示す。図7に示すように、光情報記録装置501は、光情報記録媒体502に照射する記録光L1を変調することにより光情報記録媒体502にデジタル情報を記録する。光情報記録装置501は、変調回路504と、ディスク識別符号発生回路505と、第2変調回路506と、光変調器507と、スピンドルサーボ508と、記録用レーザ509とを備える。 40

【0006】

変調回路504は、デジタルオーディオテープレコーダ503からの第一のデジタル情報D1に応じて所定の基本周期の整数倍の周期で信号レベルを切り替えることにより第一の変調信号S2を生成する。

【0007】

第2変調回路506は、第一のデジタル情報D1以外の第二のデジタル情報 (本従来例ではディスク識別符号であり、ディスク識別符号発生回路505から出力される) SC1に応じてこの第一の変調信号S2のレベル変化のタイミングを変調することにより二重 50

変調信号SCを生成する。光変調器507は、この二重変調信号SCに従って記録光Lを変調する。

【0008】

図8に第2変調回路506を示し、図9に第2変調回路506における各要素のタイミングチャートを示す。図8において、第2変調回路506に入力されたEFM信号S2は、モノステーブルマルチパイプレータ510Aおよび510Bに入力され、モノステーブルマルチパイプレータ510Aおよび510Bは各々EFM信号S2の立ち上がりエッジ、立ち下がりエッジを検出し、立ち上がりエッジ検出パルスMMSおよび立ち下がりエッジ検出パルスMMRを出力する(図9参照)。データセクタ511Aには、立ち上がりエッジ検出パルスMMSと、立ち上がりエッジ検出パルスMMSを遅延回路512Aで遅延させた信号とが入力される。データセクタ511Bには、立ち下がりエッジ検出パルスMMRと、立ち下がりエッジ検出パルスMMRを遅延回路512Bで遅延させた信号とが入力される。ディスク識別情報SC1はフレームクロックCLKにより初期化される。M系列符号MSは、PLL513で生成されたチャネルクロックCKに基づき生成される。制御信号MS1は、初期化されたディスク識別情報SC1とM系列符号MSとの排他的論理和演算を行うことにより生成される。データセクタ511A、511B各々の選択入力端子には、制御信号MS1および反転させた制御信号MS1が入力される。

10

【0009】

データセクタ511Aは、制御信号MS1が“H”を示す時には、遅延回路512Aで遅延された立ち上がりエッジ検出パルスMMSを選択して、立ち上がりエッジパルスSSとして出力しする。制御信号MS1が“L”を示す時には、遅延のない立ち上がりエッジ検出パルスMMSを選択して、立ち上がりエッジパルスSSとして出力する。またデータセクタ511Bは、制御信号MS1が“L”を示す時には、遅延回路512Bで遅延された立ち下がりエッジ検出パルスMMRを選択して、立ち下がりエッジパルスRRとして出力する。制御信号MS1が“H”を示す時には、遅延のない立ち下がりエッジ検出パルスMMRを選択し、立ち下がりエッジパルスRRとして出力する。

20

【0010】

これらの立ち上がりエッジパルスSSと立ち下がりエッジパルスRRは、セット・リセットフリップフロップ514により、EFM信号に再構成される。この結果、EFM信号のエッジが部分的に遅延される。このような記録方式によれば、全記録領域の内容がそのまま他の光ディスクに不正にビットコピーされたとしても、記録マークのエッジに重畳したディスク識別情報はコピーできない。このため、例えば再生時にディスク識別情報を検出し、ディスク識別情報が再生できない場合には、再生動作を停止することができる。

30

【特許文献1】

特開平11-126426号公報

【非特許文献1】

日経エレクトロニクス1996、11、18 P13-14

【0011】

【発明が解決しようとする課題】

しかしながら、このような従来技術は、主情報に重畳された副情報を検出する際に、ディスク上の埃や傷などによってビットずれが発生する場合があります。記録時にEFM信号のエッジ部に加えられた遅延位置と、その遅延するエッジ位置を決める制御信号との対応関係がずれてしまうことがある。この時、第一のデジタル情報D1は誤り訂正処理により正しく情報を再生できるにも関わらず、副情報を正しく検出できないという問題がある。

40

【0012】

本発明は上記の問題に鑑みて、デジタル著作物が記録された情報記録媒体の記録内容がそっくりそのまま不正にコピーされることを防止すると共に、既存の再生装置などへの影響が少なく、ディスク上の傷や埃があった場合でも安定に副情報の再生が可能な情報記録媒体、その情報記録媒体に情報を記録する記録装置および情報記録媒体から情報を再生する再生装置を提供することを目的とする。

50

【 0 0 1 3 】

【課題を解決するための手段】

本発明の主情報と副情報とを記録するための情報記録媒体は、トラックを有し、上記情報記録媒体には、上記主情報を示すピットおよび上記主情報を示す記録マークのうちの一方をトラック方向に沿って上記情報記録媒体に形成することにより上記主情報が記録され、上記情報記録媒体には、上記ピットおよび上記記録マークのうちの一方のエッジ位置を、上記トラック方向に沿った位相進み方向および位相遅れ方向のうちの一方へ変位させることにより上記副情報が記録され、上記副情報を記録するために上記エッジ位置を上記位相進み方向へ変位させるか上記位相遅れ方向へ変位させるかは、所定の周波数に基づいて決定されており、上記所定の周波数は、上記ピットおよび上記記録マークのうちの一方を形成するための記録クロックの基準周波数の $1/2$ よりも実質的に常に低く、上記主情報を再生するための再生クロックを生成するための PLL の応答周波数よりも高く、そのことにより上記目的が達成される。

【 0 0 1 4 】

上記所定の周波数は、所定の二進数系列と上記副情報との論理演算の結果に基づいて決定されており、上記所定の二進数系列の周波数は、上記記録クロックの基準周波数の $1/2$ よりも低く、上記 PLL の応答周波数よりも高くてもよい。

【 0 0 1 5 】

上記所定の二進数系列は複数の要素を含む擬似乱数系列であり、上記所定の周波数は、上記複数の要素それぞれの中央で論理反転している PE 変調信号と上記論理演算の結果とのさらなる論理演算の結果に基づいて決定されており、上記 PE 変調信号の周波数は、上記記録クロックの基準周波数の $1/2$ よりも低くてもよい。

【 0 0 1 6 】

本発明のトラックを有する情報記録媒体に主情報と副情報とを記録する記録装置は、記録クロックと同期した上記主情報を示す記録信号を生成する記録信号生成部と、上記記録信号のエッジ位置を上記記録信号の位相進み方向および上記記録信号の位相遅れ方向のうちの一方へ変調させることにより、上記主情報および上記副情報を示す位相変調記録信号を生成する位相変調部と、上記位相変調記録信号に基づいて、上記主情報を示すピットおよび上記主情報を示す記録マークのうちの一方のエッジ位置がトラック方向に沿った位相進み方向および位相遅れ方向のうちの一方へ変位するように、上記ピットおよび上記記録マークのうちの一方を上記トラック方向に沿って上記情報記録媒体に形成することにより、上記主情報と上記副情報とを上記情報記録媒体に記録する記録部とを備え、上記位相変調部は、上記記録信号のエッジ位置を上記記録信号の位相進み方向へ変調させるか上記記録信号の位相遅れ方向へ変調させるかを、所定の周波数に基づいて決定し、上記所定の周波数は、上記記録クロックの基準周波数の $1/2$ よりも実質的に常に低く、上記主情報を再生するための再生クロックを生成するための PLL の応答周波数よりも高く、そのことにより上記目的が達成される。

【 0 0 1 7 】

所定の二進数系列を生成する二進数系列生成部と、上記副情報を出力する副情報出力部と、上記所定の二進数系列と上記副情報との論理演算を行い、上記論理演算の結果に基づいて上記所定の周波数を示す制御信号を生成する論理演算部とをさらに備え、上記位相変調部は、上記記録信号のエッジ位置を上記記録信号の位相進み方向へ変調させるか上記記録信号の位相遅れ方向へ変調させるかを、上記制御信号が示す上記所定の周波数に基づいて決定し、上記所定の二進数系列の周波数は、上記記録クロックの基準周波数の $1/2$ よりも低く、上記 PLL の応答周波数よりも高くてもよい。

【 0 0 1 8 】

上記所定の二進数系列は複数の要素を含む擬似乱数系列であり、上記記録装置は、上記複数の要素それぞれの中央で論理反転している PE 変調信号を生成する PE 変調信号生成部をさらに備え、上記論理演算部は、上記 PE 変調信号と上記論理演算の結果とのさらなる論理演算を行い、上記さらなる論理演算の結果に基づいて上記制御信号を生成し、上記 P

E変調信号の周波数は、上記記録クロックの基準周波数の $1/2$ よりも低く、上記PLLの応答周波数よりも高くてもよい。

【0019】

本発明の情報記録媒体に記録された主情報と副情報とを再生する再生装置において、上記情報記録媒体はトラックを有し、上記情報記録媒体には、上記主情報を示すピットおよび上記主情報を示す記録マークのうちの一方をトラック方向に沿って上記情報記録媒体に形成することにより上記主情報が記録されており、上記情報記録媒体には、上記ピットおよび上記記録マークのうちの一方のエッジ位置を、上記トラック方向に沿った位相進み方向および位相遅れ方向のうちの一方へ変位させることにより上記副情報が記録されており、上記再生装置は、上記ピットおよび上記記録マークのうちの一方を読み出し、読み出し信号を生成する読み出し部と、上記読み出し信号に同期した再生クロックを生成するPLLと、上記読み出し信号の位相と上記再生クロックの位相とを比較し、上記読み出し信号の位相が上記再生クロックの位相よりも進んでいる場合には上記読み出し信号の位相が進んでいることを示す進相信号を生成し、上記読み出し信号の位相が上記再生クロックの位相よりも遅れている場合には上記読み出し信号の位相が遅れていることを示す遅相信号を生成する位相比較部と、所定の周波数に基づいて上記進相信号と上記遅相信号とを積算して、上記積算した結果に基づいて上記副情報を検出する副情報検出部と、上記読み出し信号を復調することにより上記主情報を検出する復調部とを備え、上記所定の周波数は、上記ピットおよび上記記録マークのうちの一方を形成するための記録クロックの基準周波数の $1/2$ よりも実質的に常に低く、上記PLLの応答周波数よりも高く、そのことにより上記目的が達成される。

10

20

【0020】

上記副情報検出部は、上記積算した結果と、所定の正のしきい値および所定の負のしきい値とを比較することにより上記副情報の値を検出してもよい。

【0021】

上記副情報検出部は、上記積算した結果と、所定の正のしきい値および所定の負のしきい値とを比較することにより上記副情報の有無を検出してもよい。

【0022】

複数の要素を含む擬似乱数系列を生成する擬似乱数系列生成部と、上記複数の要素それぞれの中央で論理反転しているPE変調信号を生成するPE変調信号生成部と、上記擬似乱数系列と上記PE変調信号との論理演算を行い、上記論理演算の結果に基づいて上記所定の周波数を示す制御信号を生成する論理演算部とをさらに備え、上記副情報検出部は、上記制御信号が示す上記所定の周波数に基づいて上記進相信号と上記遅相信号とを積算し、上記擬似乱数系列の周波数および上記PE変調信号の周波数は、上記記録クロックの基準周波数の $1/2$ よりも低く、上記PLLの応答周波数よりも高くてもよい。

30

【0023】

【発明の実施の形態】

以下、本発明の実施形態について図面を用いて詳細に説明する。

【0024】

図1は、本発明の実施の形態の光ディスク記録装置100を示す。光ディスク記録装置100は、誤り訂正付加回路1と、変調回路2と、位相変調回路3と、記録チャンネル4と、記録ヘッド5と、同期信号検出回路7と、タイミング生成回路8と、擬似乱数生成回路9と、副情報出力回路10と、論理演算回路11と、PE(Phase Encoding)変調回路12とを備える。光ディスク記録装置100には、情報記録媒体として光ディスク6が搭載されている。光ディスク6はトラック320(図5)を有する。

40

【0025】

誤り訂正付加回路1は、外部装置等(図示せず)から入力される主情報201の誤り訂正符号を計算して、誤り訂正符号を主情報201に付加する。変調回路2は、記録チャンネルビットクロック206と同期した主情報201を示す記録チャンネル信号202を生成する記録信号生成部として機能する。変調回路2は、誤り訂正符号が付加された主情報201

50

’を変調し、変調符号をNRZ_i変換した記録チャンネル信号202を生成する。記録チャンネル信号202は主情報201を示す。

【0026】

位相変調回路3は、変調回路2で生成された記録チャンネル信号202に、後述する位相変調制御信号212に基づいて位相変調を行う。位相変調回路3は、位相変調制御信号212の極性に依拠して、入力される記録チャンネル信号202の立ち上がりエッジおよび立ち下がりエッジの位相を微量進めたり、遅らせたりする。位相変調回路3は、記録チャンネル信号202を位相変調した被変調記録チャンネル信号203を出力する。被変調記録チャンネル信号203は主情報201と副情報210とを示す。

【0027】

記録チャンネル4および記録ヘッド5は、主情報201と副情報210とを光ディスク6に記録する記録部として機能する。記録チャンネル4および記録ヘッド5は、被変調記録チャンネル信号203に基づいて、主情報201を示すピットまたは主情報201を示す記録マークのエッジ位置がトラック方向に沿った位相進み方向および位相遅れ方向のうちの一方へ変位するように、ピットまたは記録マークをトラック方向に沿って光ディスク6に形成することにより、主情報201と副情報210とを光ディスク6に記録する。記録チャンネル4は、被変調記録チャンネル信号203の極性に依拠して、光ディスク6に出力するレーザビームの記録パワーを変化させる制御信号204を生成して、記録ヘッド5に出力する。記録ヘッド5は、記録チャンネル4からの制御信号204に基づいて、レーザビームのパワーを変化させながら、光学的に読み取り可能な被変調記録ピットまたは被変調記録マークを光ディスク6に形成する。

【0028】

同期信号検出回路7は、変調回路2が主情報201に付加する同期信号205を検出する。タイミング生成回路8はPE変調基準信号生成部として機能する。タイミング生成回路8は、記録チャンネル信号202に同期した記録チャンネルビットクロック206を外部装置等（図示せず）から受け取り、擬似乱数生成回路（二進数系列生成部）9が生成する擬似乱数系列（二進数系列）の発生タイミングを示す乱数生成クロック207とPE変調基準信号208とを生成して出力する。

【0029】

なお、本実施の形態では、タイミング生成回路8は、同期信号205を基準として、32個の記録チャンネルビットクロック206中に、16個の記録チャンネルビットクロック毎に“Low”区間と“High”区間とが切り替わるようなPE変調基準信号208を出力する。乱数生成クロック207は、PE変調基準信号208を反転させた信号であり、擬似乱数生成回路9は、乱数生成クロック207の立ち上がりエッジ毎に擬似乱数系列209を更新する。擬似乱数系列209の周波数（すなわち擬似乱数系列209の生成の基準となる乱数生成クロック207の周波数）は、記録チャンネルビットクロック206の基準周波数の1/2よりも低く、主情報201を再生するための再生チャンネルクロック304（図5）を生成するためのPLL（Phase-Locked Loop）45（図3）の応答周波数よりも高い。図2に示すように、本実施の形態では、記録チャンネルビットクロック206の基準周波数の1周期は1クロックである。本実施の形態では、乱数生成クロック207およびPE変調基準信号208のうちの少なくとも一方の1周期は32クロックである。

【0030】

副情報出力回路10には、副情報210として、例えばディスク識別情報、光ディスク6上にデジタルコンテンツを暗号化して記録する際の秘密鍵等が格納されている。副情報出力回路10は、同期信号205に依拠して、副情報210を1ビットずつ出力する。なお、本実施の形態では、光ディスク記録装置100内部で副情報210を生成するが、副情報210は外部装置（図示せず）から入力されてもよく、また、主情報201の内容から副情報210を抽出する仕組みとしてもよい。

【0031】

10

20

30

40

50

論理演算回路 11 および P E 変調回路 12 は論理演算部として機能する。論理演算回路 11 は擬似乱数生成回路 9 が出力する擬似乱数系列 209 と副情報出力回路 10 が出力する副情報 210 との排他的論理和演算を行う。P E 変調回路 12 は P E 変調基準信号 208 を用いて、論理演算回路 11 が出力する排他的論理和出力信号 211 に P E 変調を行う。排他的論理和出力信号 211 は、論理演算回路 11 での演算結果を示している。P E 変調回路 12 は、具体的には、排他的論理和出力信号 211 と P E 変調基準信号 208 との排他的論理和演算を行う。この結果、P E 変調回路 12 は、排他的論理和出力信号 211 の中央で極性反転を行った位相変調制御信号 212 を生成する。P E 変調回路 12 は、排他的論理和出力信号 211 が “1” を示す時には “01” を出力し、排他的論理和出力信号 211 が “0” を示す時には “10” を出力する。

10

【0032】

本実施の形態では、排他的論理和出力信号 211 は、記録チャネルビットクロック 206 の 32 クロック毎に更新される擬似乱数系列であるために、1 ビットの擬似乱数系列の中央で（つまり記録チャネルビットクロック 206 の 16 クロック毎に）、位相変調制御信号 212 の極性が反転する。

【0033】

位相変調回路 3 は、位相変調制御信号 212 を受け取る。位相変調回路 3 は、記録チャネル信号 202 のエッジ位置を記録チャネル信号 202 の位相進み方向へ変調させるか記録チャネル信号 202 の位相遅れ方向へ変調させるかを、位相変調制御信号 212 の周波数に基づいて決定する。この位相変調制御信号 212 の周波数は、記録チャネルビットクロック 206 の基準周波数の $1/2$ よりも実質的に常に低く、主情報 201 を再生するための再生チャネルクロック 304（図 5）を生成するための PLL 45（図 3）の応答周波数よりも高い。“実質的に常に低い”とは、基準周波数の $1/2$ 以上の周波数がわずかにノイズ程度に位相変調制御信号 212 に含まれる程度の誤差は許容することを意味する。位相変調回路 3 は、記録チャネル信号 202 の各エッジ点における、位相変調制御信号 212 の極性に応じて、記録チャネル信号 202 の各エッジの位相を進めるか遅らせるかの何れかを行う。具体的には、位相変調制御信号 212 が “1” を示す時には、記録チャネル信号 202 のエッジの位相を進めて、位相変調制御信号 212 が “0” を示す時には、記録チャネル信号 202 のエッジの位相を遅らせる。この様にして、記録チャネル 4 を介して、位相変調が行われた被変調記録チャネル信号 203 により記録ヘッド 5 のレーザ発光の制御を行い、光ディスク 6 上に記録マークを形成する。

20

30

【0034】

図 2 は、本実施の形態の光ディスク記録装置 100 の各要素のタイミングチャートを示す。図 2 を参照して、本実施の形態の光ディスク記録装置 100 の動作についてさらに説明する。誤り訂正付加回路 1 において誤り訂正符号が付加された主情報 201' は、変調回路 2 において変調処理が行われると共に同期信号が付加される。変調された主情報 201' は NRZ i 変換された後、記録チャネル信号 202 として位相変調回路 3 に出力される。

【0035】

変調回路 2 において付加された同期信号 205 を同期信号検出回路 7 は検出して出力する。タイミング生成回路 8 は、同期信号 205 を基準にして、記録チャネル信号 202 に同期した記録チャネルビットクロック 206 から、P E 変調基準信号 208 および P E 変調基準信号 208 の反転した信号である乱数生成クロック 207 を生成する。つまり、図 2 に示すように、P E 変調基準信号 208 は、同期信号 205 を基準にして、記録チャネルビットクロック 206 の 16 クロック毎に “0” と “1” とが交互になるようにタイミング生成回路 8 において生成される。また、乱数生成クロック 207 は、P E 変調基準信号 208 の反転した信号で、擬似乱数生成回路 9 は、この乱数生成クロック 207 の立ち上がりエッジ（すなわち P E 変調基準信号 208 の立ち下がりエッジ）毎に、擬似乱数系列 209 を更新する。

40

【0036】

50

擬似乱数系列209は複数の要素を含む。本発明の実施の形態において、擬似乱数系列209が含む複数の要素のうちの一つの要素は、一定区間（図2では32クロックの区間）の間に含まれる“0”または“1”の値を示す擬似乱数の集合を示す。PE変調基準信号208は、擬似乱数系列209が含む複数の要素それぞれの中央で論理反転している。PE変調基準信号208の周波数は、記録チャンネルビットクロック206の基準周波数の1/2よりも低く、主情報201を再生するための再生チャンネルクロック304（図5）を生成するためのPLL45（図3）の応答周波数よりも高い。

【0037】

同期信号205は、擬似乱数生成回路9および副情報出力回路10に入力される。擬似乱数生成回路9においては、同期信号205が示すタイミングにตอบสนองして擬似乱数生成回路10の動作が初期化され、乱数生成クロック207が示すタイミングで時系列的に擬似乱数系列209が生成される。副情報出力回路10においては、同期信号205にตอบสนองして、副情報出力回路10に格納されているディスク識別情報や秘密鍵等である副情報210が1ビットずつ出力される。

【0038】

排他的論理和回路11は、擬似乱数系列209と副情報210との排他的論理和を演算し、排他的論理和出力信号211をPE変調回路12に入力する。PE変調回路12は、排他的論理和出力信号211とPE変調基準信号208との排他的論理和を演算し、演算結果に基づいて位相変調制御信号212を生成する。本実施の形態では、位相変調制御信号212は、排他的論理和出力信号211の極性が“0”の時には、32クロックのうちの前半の16クロックの間は“0”を示し、後半の16クロックの間は“1”を示す。また、位相変調制御信号212は、排他的論理和出力信号211の極性が“1”の時には、前半の16クロックの間は“1”を示し、後半の16クロックの間は“0”を示す。

【0039】

PE変調回路12から出力された位相変調制御信号212は、位相変調回路3に入力される。位相変調回路3は、位相変調制御信号212が“1”を示す時には、記録チャンネル信号202のエッジ位置の位相を進め、位相変調制御信号212が“0”を示す時には、記録チャンネル信号202のエッジ位置の位相を遅らせる位相変調を行う。

【0040】

位相変調が行われた被変調記録チャンネル信号203は、記録チャンネル4に入力され、記録チャンネル4は、被変調記録チャンネル信号203に応じて、レーザビームの記録パワーを変化させる制御信号204を生成して、記録ヘッド5に出力する。記録ヘッド5は、記録チャンネル4から出力された制御信号204に基づいて、レーザビームのパワーを上下させながら、光学的に読み取り可能な被変調記録マーク（または被変調記録ピット）を光ディスク6に形成する。

【0041】

以上述べたように、擬似乱数系列により暗号化された副情報を、主情報の記録マークのエッジ部分に、重畳して情報記録媒体に記録することができる。

【0042】

ここで、位相変調回路3が行う位相変調の周期、つまりエッジ位置の位相を進める第1の状態と、エッジ位置の位相を遅らせる第2の状態とを切り替えるの周期について説明する。エッジ位置の位相を進める第1の状態またはエッジ位置の位相を遅らせる第2の状態が、再生時において再生チャンネルクロックを生成するPLLの応答周波数帯域内に含まれてしまう（すなわち、第1の状態と第2の状態とを切り替える周期の逆数である周波数がPLLの応答周波数以下となる）と、PLLは位相変調されたエッジ位置に追従してしまい、位相変調によって記録されている副情報を正しく検出することができなくなる。PLLの応答周波数とは、PLLが再生チャンネルクロックを更新する周期の逆数である。

【0043】

本実施の形態の位相変調制御信号212が示す所定の周波数は、PLL45の応答周波数よりも高い。このため、副情報を記録するためにピットまたは記録マークのエッジ位置を

10

20

30

40

50

変位させる方向を切り替える周期がPLL45が再生チャネルクロック304を更新する周期よりも短くなるので、PLLは位相変調されたエッジ位置に追従しない。

【0044】

従来例では、第1の状態と第2の状態とが切り替わる周波数をPLLの応答周波数よりも十分に高くして、チャネルクロック単位で第1の状態と第2の状態との切り替えが行われるようにしている。この場合では、光ディスク上の傷、埃、指紋などにより再生時にビットずれが生じた（例えば再生時に検出した同期信号が記録時に用いた同期信号よりも1クロックずれた）場合には、記録時の位相変調制御信号と再生時の位相変調制御信号との極性が反転してしまうので、正確な位相差検出が行えない。

【0045】

従って、第1の状態または第2の状態が連続する時間を、PLLの応答周波数と許容可能なビットずれの幅とで決定する必要がある。このとき、第1の状態および第2の状態が長くなればなる程、ビットずれによる悪影響は少なくなるが、1ビットの副情報を重畳するための擬似乱数系列の系列長が短くなる。この場合は、正しい擬似乱数系列と不正な擬似乱数系列との相関性が存在する場合が増加する。

【0046】

次に、上述した光ディスク記録装置100を用いて主情報201と副情報210とを記録した光ディスク6から主情報201と副情報210とを再生する光ディスク再生装置300について説明する。図3は、本発明の実施の形態の光ディスク再生装置300を示す。光ディスク再生装置300は、光ディスク6から主情報201と副情報210とを同時に再生する機能を有する。光ディスク再生装置300は、光ディスク6上に形成された被変調記録マークに基づいて主情報201を再生するだけでなく、主情報201の再生時に検出される被変調記録マークのジッタに埋もれた副情報を検出する機能を有する。

【0047】

光ディスク再生装置300は、再生ヘッド31と、再生チャネル32と、復調回路33と、クロック抽出回路34と、タイミング生成回路35と、同期検波回路36と、同期信号検出回路37と、擬似乱数生成回路38と、PE変調回路39と、誤り訂正回路40とを備える。クロック抽出回路34は、PLL45と位相比較回路46とを備える。光ディスク再生装置300には、情報記録媒体として光ディスク6が搭載されている。

【0048】

再生ヘッド31は、回転する光ディスク6に形成されている被変調記録マーク301（図5）に光ビームを集光して照射し、その反射光をフォトダイオードで受光する。再生ヘッド31は、反射光を受光したフォトダイオードの出力信号を増幅することにより、被変調記録マーク301のエッジ位置を示すアナログ読み出し信号302を生成して再生チャネル32に出力する。再生ヘッド31はビットおよび記録マークのうちの一方を読み出す読み出し部として機能する。再生チャネル32は、アナログ読み出し信号302を波形等化したり整形したりすることによってデジタル読み出し信号303に変換し、クロック抽出回路34と復調回路33とに出力する。

【0049】

クロック抽出回路34が備えるPLL45は、デジタル読み出し信号303に基づいて記録チャネルビットクロック206（図2）に同期した再生チャネルクロック304を生成し、タイミング生成回路35に出力する。また同時に、クロック抽出回路34が備える位相比較回路46は、再生チャネルクロック304を基準として、デジタル読み出し信号303の位相誤差を検出する。

【0050】

位相比較回路46は、デジタル読み出し信号303の位相と再生クロックの位相とを比較し、デジタル読み出し信号303の位相が再生チャネルクロック304の位相よりも進んでいる場合にはデジタル読み出し信号303の位相が進んでいることを示す進相誤差信号305を生成する。位相比較回路46は、デジタル読み出し信号303の位相が再生チャネルクロック304の位相よりも遅れている場合にはデジタル読み出し信号3

10

20

30

40

50

03の位相が遅れていることを示す遅相誤差信号306を生成する。位相比較回路46は、進相誤差信号305および遅相誤差信号306を、後述する同期検波回路36に出力する。

【0051】

復調回路33は、同期信号検出回路37で検出された同期信号を基準としてディジタル読み出し信号303を復調して主情報201を検出する。誤り訂正回路40は、検出された主情報201に誤り訂正を行って、主情報201を出力する。

【0052】

同期信号検出回路37は、ディジタル読み出し信号303に含まれる同期パターンを検出して同期信号307を生成し、復調回路33、タイミング生成回路35、擬似乱数生成回路38に出力する。 10

【0053】

タイミング生成回路35は、光ディスク記録装置100のタイミング生成回路8（図1）と同一の機能を有し、同期信号307を基準として、PE変調基準信号308および乱数生成クロック309とを生成する。

【0054】

擬似乱数生成回路38は、光ディスク記録装置100の擬似乱数生成回路9（図1）と同一の機能を有し、同期信号307が示すタイミングに応答して初期値をプリセットし、タイミング生成回路35から出力される乱数生成クロックが示すタイミングに応答して擬似乱数系列310を生成する。 20

【0055】

PE変調基準信号208は、擬似乱数系列310が含む複数の要素それぞれの中央で論理反転している。擬似乱数系列310の周波数（すなわち擬似乱数系列310の生成の基準となる乱数生成クロック309の周波数）およびPE変調基準信号308の周波数は、記録チャンネルビットクロック206の基準周波数の1/2よりも低く、主情報201を再生するための再生チャンネルクロック304を生成するためのPLL45の応答周波数よりも高い。

【0056】

PE変調回路39は、光ディスク記録装置100のPE変調回路12（図1）と同一の機能を有し、タイミング生成回路35から出力されたPE変調基準信号308に基づいて、擬似乱数生成回路38から出力される擬似乱数系列310をPE変調して位相変調検出制御信号311を生成し、同期検波回路36に出力する。位相変調検出制御信号311の周波数は、記録チャンネルビットクロック206の基準周波数の1/2よりも実質的に常に低く、主情報201を再生するための再生チャンネルクロック304を生成するためのPLL45の応答周波数よりも高い。 30

【0057】

同期検波回路36は、クロック抽出回路34から出力された進相誤差信号305および遅相誤差信号306と、PE変調回路39から出力された位相変調検出制御信号311とから副情報210を検出する。

【0058】

図4に、同期検波回路36を示す。同期検波回路36は、セクタ41と、積分器42と、副情報判定回路43と、副情報更新タイミング生成器44とを含む。セクタ回路41は、2個の2入力1出力の切替器47、48を備える。セクタ回路41は、位相変調検出制御信号311が“1”を示す時には、進相誤差信号305および遅相誤差信号306のそれぞれを積分回路42の正入力端子（+）および負入力端子（-）に通過させる。セクタ回路41は、位相変調検出制御信号311が“0”を示す時には、進相誤差信号305および遅相誤差信号306のそれぞれを積分回路42の負入力端子（-）および正入力端子（+）に通過させる。 40

【0059】

積分回路42は差動入力のアナログ積分器であり、正入力端子（+）に入力された信号を 50

加算していき、負入力端子（－）に入力された信号を減算していく。副情報更新タイミング生成回路４４は同期信号３０７に応じて更新信号３１２を積分回路４２に出力する。積分回路４２は更新信号３１２を受け取ると、アナログ積分器が保持している値をクリアする。その結果、積分回路４２は、位相変調検出制御信号３１１が“１”を示す期間においては、順次、進相誤差信号３０５は加算し、遅相誤差信号３０６は減算して累積する。また、位相変調検出制御信号３１１が“０”を示す期間においては、進相誤差信号３０５を減算し、遅相誤差信号３０６を加算して累積する。積分回路４２は、累積した結果を示す積分値３１３（図５）に対応する電圧を出力する。

【００６０】

従って、位相変調検出制御信号３１１が“１”を示す区間において進相誤差信号３０５にのみパルスが現れ、且つ、位相変調検出制御信号３１１が“０”を示す区間において遅相誤差信号３０６にのみパルスが現れるような正の相関が続く場合には、積分値３１３は正方向に単調増加し、逆に、位相変調検出制御信号３１１が“１”を示す区間において遅相誤差信号３０６にのみパルスが現れ、且つ、位相変調検出制御信号３１１が“０”を示す区間において進相誤差信号３０５にのみパルスが現れる負の相関が続く場合には、積分値３１３は負方向に単調減少していく。

【００６１】

また、正負何れの相関性も存在しない場合（即ち、位相変調検出制御信号３１１に依存しないでランダムに進相誤差信号３０５と遅相誤差信号３０６とのパルスが現れる場合には、進相誤差信号３０５と遅相誤差信号３０６との出現頻度が略等しくなるので、積分回路４２の出力電圧はゼロレベルに近い値となる。

【００６２】

副情報判定回路４３は比較器等（図示せず）を備え、積分回路４２から出力される積分値３１３を示すアナログ信号３１４の電圧値が、予め設定された正のしきい値電圧と負のしきい値電圧で区切られる３つの電圧区間の何れに属するかを判定する。副情報判定回路４３は、副情報更新タイミング生成回路４４から出力された更新信号３１２が入力された時点において、アナログ信号３１４の電圧値が正のしきい値よりも大きい場合には、“１”の値を示す副情報２１０と、“１”の値を示す検出フラグ３１５とを出力する。“１”の値を示す検出フラグ３１５は、副情報２１０が検出されたことを示す。副情報判定回路４３は、副情報更新タイミング生成回路４４から出力された更新信号３１２が入力された時点において、アナログ信号３１４の電圧値が負のしきい値よりも小さい場合には、“０”の値を示す副情報２１０と、“１”の値を示す検出フラグ３１５とを出力する。

【００６３】

また、アナログ信号３１４の電圧値が正のしきい値と負のしきい値の間に属する場合には、“０”の値を示す検出フラグ３１５を出力する。“０”の値を示す検出フラグ３１５は、副情報２１０が検出されなかったことを示す。

【００６４】

副情報更新タイミング生成回路４４は、同期信号３０７に基づいて副情報検出動作の更新タイミングを示す更新信号３１２を生成する。更新信号３１２が出力されると、積分回路４２は積分値３１３をクリアし、副情報判定部４３は副情報２１０の値および副情報２１０の有無の判定結果をクリアする。

【００６５】

次に図５は、本実施の形態の光ディスク再生装置３００の各要素のタイミングチャートを示す。図５を参照して、本実施の形態の光ディスク再生装置３００の再生動作についてさらに説明する。

【００６６】

PLL４５は、デジタル読み出し信号３０３に基づいて再生チャネルクロック３０４を生成する。生成された再生チャネルクロック３０４の立ち上がりエッジの位相は、デジタル読み出し信号３０３の立ち上がりエッジおよび立ち下がりエッジに同期している。同期信号検出回路３７は、再生チャネルクロック３０４の立ち下がりエッジの時点で、ディ

10

20

30

40

50

デジタル読み出し信号303のサンプリングを行い、デジタル読み出し信号303と特定の同期パターンとが一致するか比較を行うことで、デジタル読み出し信号303中の同期パターンを検出する。同期信号検出回路37は、特定の同期パターンと一致した同期パターンが検出されると、特定の同期パターンを示す同期信号307を出力する。

【0067】

タイミング生成回路35は、同期信号307を受け取ると、再生チャネルクロック304を16分周したPE変調基準信号308と、乱数生成クロック309とを出力する。擬似乱数生成回路38は、同期信号307が示すタイミングに応じて擬似乱数系列310を初期化する。擬似乱数生成回路38は、PE変調基準信号308の立ち下がリエッジの時点で更新される擬似乱数系列310を出力する。PE変調回路39は、擬似乱数系列310とPE変調基準信号308との排他的論理和演算の結果に応じた位相変調検出制御信号311を生成する。PE変調回路39は、32チャネルクロック中の16チャネルクロック毎に、排他的論理和演算の結果に応じて位相変調検出制御信号311の値を“1”とするか“0”とするか決定する。

【0068】

位相比較回路46は、再生チャネルクロック304の立ち上がりエッジと、デジタル読み出し信号303の立ち上がりエッジおよび立ち下がりエッジとの位相差の検出を行う。位相比較回路46は、再生チャネルクロック304の立ち上がりエッジよりもデジタル読み出し信号303のエッジが進んでいる場合は進相誤差信号305を出力し、再生チャネルクロック304の立ち上がりエッジよりもデジタル読み出し信号303のエッジが遅れている場合は遅相誤差信号306を出力する。

【0069】

同期検波回路36は、位相変調検出制御信号311が“1”を示すときは、進相誤差信号305を加算し、遅相誤差信号306を減算する。同期検波回路36は、位相変調検出制御信号311が“0”を示すときは、遅相誤差信号306を加算し、進相誤差信号305を減算する。

【0070】

同期検波回路36は、この様な加算処理および減算処理を繰り返し、所定のバイト数分の積分が終了した時点で、積分値313を示すアナログ信号314の電圧値が、正のしきい値よりも大きい場合には副情報210の値として“1”を検出し、“1”の値を示す副情報210と“1”の値を示す検出フラグ315とを出力する。アナログ信号314の電圧値が負のしきい値よりも小さい場合には副情報210の値として“0”を検出し、“0”の値を示す副情報210と、“1”の値を示す検出フラグ315とを出力する。また、アナログ信号314の電圧値が正のしきい値と負のしきい値の間に属する場合には、副情報210が正しく主情報201に埋め込まれていないと判断して、“0”の値を示す検出フラグ315を出力する。

【0071】

次に、光ディスク再生装置300において、光ディスク6上の傷、埃、指紋などにより、PLLが生成する再生チャネルクロック304とデジタル読み出し信号303との同期がずれた（すなわちビットずれが生じた）場合について、説明する。

【0072】

一般的に同期パターンを検出する際には、読み出された再生信号と予め決められた同期パターンとの完全一致だけでなく、予め決められた同期パターンにほぼ近い同期パターンが検出された時に、そのほぼ近い同期パターンを同期信号として検出する場合がある。例えばDVDの場合においては、主情報を複数バイトずつフレームと呼ばれる単位に分割し、複数種類の同期パターンが各フレーム位置に応じて、各フレームの先頭に記録される。しかしながら複数種類の同期パターンには、共通するパターン（例えば14T+4T。14T+4Tは14クロック分の“L”または“H”の信号に続いて、4クロック分の“H”または“L”が継続していることを示す）が含まれており、この共通パターンの検出を行い、この共通パターンを同期信号として検出している。この時、14T+4Tのパターン

10

20

30

40

50

だけではなく、例えば $14T + 3T$ 、 $13T + 3T$ 、或いは $15T + 4T$ など、予め決められたパターンに近いパターンを検出した時に、これらの近いパターン同期信号として検出している。

【0073】

或いは、同期パターンのずれ以外でも、デジタル読み出し信号と再生チャネルクロックとの同期がずれて、記録動作時のビットパターンと異なるビットパターンが検出される場合が生じる。この様な場合には、再生されたデジタル読み出し信号は復調できず、正しい主情報を得ることはできない。従って、誤り訂正処理において消失訂正を行うことにより、複数のフレームが全て間違っている場合でも、正しい主情報を再現することができる

10

【0074】

しかしながら、同期信号の検出タイミングが、ディスク上に記録された同期パターンとずれた場合や、再生チャネルクロックとデジタル読み出し信号との同期がずれた場合などは、光ディスク記録装置における位相変調制御信号が示すタイミングと光ディスク再生装置における位相変調検出制御信号が示すタイミングとのずれが生じ、位相変調検出制御信号と、進相誤差信号および遅相誤差信号との間の相関性が正しくなくなる。

【0075】

図6を参照して、ビットずれについてさらに詳細に説明する。図6は、ディスク6上の傷、埃、指紋などによりデジタル読み出し信号303の一部のビットパターンが化けたデジタル読み出し信号303'が得られ、その結果、ビットずれが発生していない場合と比べて同期パターンの検出が3クロック分だけずれた場合を示している。

20

【0076】

記録動作時には、記録チャネルビットクロック206に応じて記録チャネル信号202(図2)が出力され、同期パターンを示す同期信号205が常に記録チャネル信号202に対して同じ位置に出力される(すなわちビットずれは発生しない)。

【0077】

図2を参照して説明したように、同期信号205に基づき、PE変調基準信号208および擬似乱数系列209が生成される。擬似乱数系列209と副情報210との排他的論理和の結果を示す排他的論理和出力信号211と、PE変調基準信号208とから位相変調制御信号212を生成する。位相変調制御信号212に基づき、記録マークのエッジの位相を進めたり遅らせたりして副情報210を主情報201に重畳して記録している。

30

【0078】

この様に主情報201と副情報210とが記録された光ディスク6から、光ディスク再生装置300が主情報201と副情報210とを再生する際に、同期信号307から3クロック分ずれた同期信号307'が得られたとする。同期信号307'を基準として、進相誤差信号305、遅相誤差信号306、PE変調基準信号308、擬似乱数系列310、位相変調検出制御信号311はそれぞれ3クロックずつずれて、進相誤差信号305'、遅相誤差信号306'、PE変調基準信号308'、擬似乱数系列310'、位相変調検出制御信号311'となる。記録動作時に用いられる位相変調制御信号212と比較して、再生動作時に用いられる位相変調検出制御信号311'は、3クロック遅れている。図6に示すデジタル読み出し信号303'の各エッジ位置のうち○印が付されたエッジ位置では、位相変調制御信号212の極性と位相変調検出制御信号311'の極性とが一致している。これらの極性が一致している区間では、進相誤差信号305'および遅相誤差信号306'と位相変調検出制御信号311'との間の相関性を正しく検出できる。しかし、×印が付されたエッジ位置では、位相変調制御信号212の極性と位相変調検出制御信号311'の極性とが異なるので、相関性を正しく検出できない。

40

【0079】

1ビットの擬似乱数系列の区間(32クロック長)において、位相変調制御信号212の極性と位相変調検出制御信号311'の極性とが一致する区間は26クロックの区間であり、位相変調制御信号212の極性と位相変調検出制御信号311'の極性とが一致しな

50

い区間は、6クロックの区間である。この不一致の区間のうち3クロックの区間では、 $1/2$ の確率で正しい相関性が得られる。従って、32クロック区間で、正しい相関性が得られるの確率は、 $27.5/32$ になる。

【0080】

また、位相変調がランダムに発生する場合では、全てのクロック区間で正しい相関性が得られる確率は $1/2$ となり、正しい相関性が得られない確率は $1/2$ となる。この場合、32クロック区間で正しい相関性が得られる確率は $1/2 (= 16/32)$ となるので、同期信号の検出が3クロックずれたとしても、正しい副情報210を得ることができる。

【0081】

しかしながら、従来例においては、同期信号の検出が3クロックずれた場合には、記録時の乱数系列と再生時の乱数系列とが全く異なったものになってしまい、正しい相関性は得られない。

【0082】

本実施の形態では、ビットまたは記録マークのエッジ位置の変位方向を決定する基準となる所定の周波数を記録ビットチャネルクロック206の基準周波数の $1/2$ よりも低くしている。すなわち、位相変調制御信号212および位相変調検出制御信号311のそれぞれが示す最小の1周期は2クロックより長くなる。

【0083】

ここで、位相変調制御信号212と位相変調検出制御信号311とが互いに1クロックずれた場合について説明する。仮に、位相変調制御信号212および位相変調検出制御信号311のそれぞれが示す最小の1周期が2クロックであったとすると、1周期が2クロックの位置では、正しい相関性が得られる確率は $1/2$ となる。本実施の形態では、位相変調制御信号212および位相変調検出制御信号311のそれぞれが示す最小の1周期は2クロックよりも長いので、正しい相関性が得られる確率は $1/2$ よりも高くなり、正しい副情報210を得ることができる。このため、本実施の形態では、位相変調制御信号212と位相変調検出制御信号311とが1クロックずれたとしても、常に正しい副情報210を得ることができる。

【0084】

以上、述べてきたように、本発明の実施の形態の光ディスク記録装置および光ディスク再生装置では、副情報を暗号化するための擬似乱数系列の発生周期を長くしている。このため、光ディスク上の傷、埃、指紋などによって光ディスク記録装置が用いる擬似乱数系列と光ディスク再生装置が用いる擬似乱数系列との間でビットずれが発生する場合が生じた場合でも、位相変調検出制御信号と進相誤差信号および遅相誤差信号との間の相関性を正しく検出できる確率を $1/2$ より高くすることができるので、副情報を正しく検出することが出来る。

【0085】

以上、本発明のジッタ変調にかかわる光ディスク、その光ディスクを用いる光ディスク記録装置および光ディスク再生装置の実施形態について説明したが、本発明は、上述の実施形態に限られないことは勿論である。また、本発明の光ディスク記録装置および光ディスク再生装置が備える特徴的な構成要素の動作をステップとして包含する記録方法および再生方法においても本発明を実現することができる。

【0086】

【発明の効果】

本発明によれば、副情報を記録するために、ビットおよび記録マークのうちの一方のエッジ位置を位相進み方向へ変位させるか位相遅れ方向へ変位させるかは、所定の周波数に基づいて決定されている。この所定の周波数は、ビットおよび記録マークのうちの一方を形成するための記録クロックの基準周波数の $1/2$ よりも実質的に常に低く、主情報を再生するための再生クロックを生成するためのPLLの応答周波数よりも高い。このことにより、情報記録媒体上の傷、埃、指紋などによって、再生時の同期動作においてビットずれ

10

20

30

40

50

が発生した場合でも、記録時の位相変位方向を決める位相変調制御信号の値と、再生時の位相変位方向を検出するための位相変調検出制御信号の値との相違を減少させることができるので、副情報を正しく検出することができる。

【図面の簡単な説明】

【図 1】本発明の実施の形態の光ディスク記録装置を示す図

【図 2】本発明の実施の形態の光ディスク記録装置の各要素の動作タイミング図

【図 3】本発明の実施の形態の光ディスク再生装置を示す図

【図 4】本発明の実施の形態の光ディスク再生装置の同期検波回路を示す図

【図 5】本発明の実施の形態の光ディスク再生装置の動作タイミング図

【図 6】本発明の実施の形態の光ディスク再生装置でビットずれが生じた場合のタイミング図 10

【図 7】従来の光ディスク記録装置を示す図

【図 8】従来の光ディスク記録装置における第 2 変調回路を示す図

【図 9】従来の光ディスク記録装置の動作タイミング図

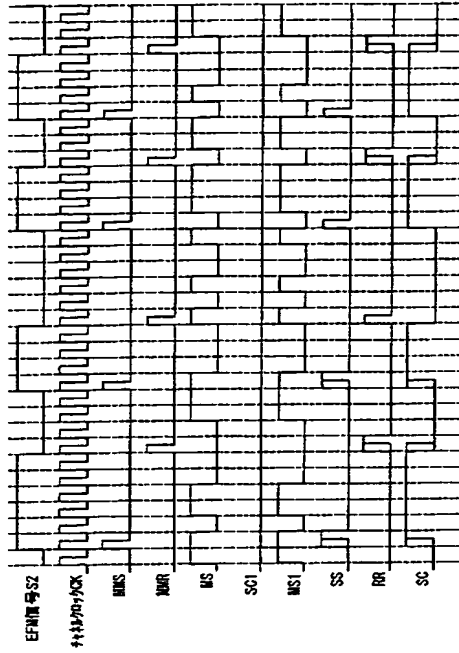
【符号の説明】

- 1 誤り訂正付加回路
- 2 変調回路
- 3 位相変調回路
- 4 記録チャネル
- 5 記録ヘッド
- 6 光ディスク
- 7、37 同期信号検出回路
- 8、35 タイミング生成回路
- 9、38 擬似乱数生成回路
- 10 副情報出力回路
- 11 排他的論理和演算回路
- 12、39 PE変調回路
- 31 再生ヘッド
- 32 再生チャネル
- 33 復調回路
- 34 クロック抽出回路
- 36 同期検波回路
- 41 セレクタ
- 42 積分回路
- 43 副情報判定回路
- 44 副情報更新タイミング生成回路

20

30

【图 9】



フロントページの続き

(51) Int. Cl. ⁷

F I

テーマコード (参考)

G 1 1 B 20/14 3 5 1 A

(72) 発明者 永井 隆弘

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

F ターム (参考) 5D044 AB02 BC03 CC06 DE68 EF05 FG18 GK12 GL26 GM02 GM12

HL08

5D090 AA01 BB02 CC01 CC06 CC18 DD05 FF07 GG26 GG36 KK05

THIS PAGE BLANK (USPTO)